

(19) Japanese Patent Office (JP)
(12) Publication of Patent Application (A)
(11) [Patent Application Publication Number] Hei 9-115831
(43) [Publication Date] May 2, 1997
(51) Intl. Cl.6
H01L 21/20
21/268
21/324
27/12
29/786
identification symbol FI
H01L 21/20
21/268 Z
21/324 Z
27/12 R
29/78 627 G
request for examination (not filed)
Number of Claims 12 OL
[Total Number of Pages: 16]
Continued to the last page

(21) [Application Number] Hei 7-271223
(22) [Filing Date] October 19, 1995
(71) Applicant 000005223 Fujitsu Ltd.
4-1-1, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor Akito Hara
Fujitsu Ltd.
1015, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor Kuninori Kitahara
Fujitsu Ltd.
1015, Kamikodamaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(74) Patent Attorney Keizo Okamoto

(54) [Title of the Invention] Crystal growth method

(57) [Abstract]

[Problems to be solved] With respect to a method for solid-phase growth from amorphous silicon (a-Si) to polysilicon (p-Si), to reduce impurities inside a polysilicon film formed by solid phase growth or laser annealing.

[Means to solve the Problem] A step of selectively etching a crystal defect 5 that is present in a polysilicon film 2a formed by solid phase growth of an amorphous silicon film 2 by heating is included.

[Scope of Claims]

[Claim 1] A crystal growth method characterized by having the step of selectively etching a crystal defect that is present in a polysilicon film formed by solid phase growth of an amorphous silicon film by heating.

[Claim 2] A crystal growth method characterized by having the steps of:

- forming an amorphous silicon film on a substrate;

- heating the amorphous silicon film to grow a polysilicon film by solid phase growth;

- selectively etching a crystal defect present in the polysilicon film; and

- heating the polysilicon film to be grown by solid phase growth.

[Claim 3] A crystal growth method characterized by having the steps of:

- forming a first amorphous silicon film on a substrate;

- heating the first amorphous silicon film to be grown into a first polysilicon film by solid phase growth;

- selectively etching a crystal defect present in the first polysilicon film;

- forming a second amorphous silicon film on the first polysilicon film; and

- heating the second amorphous silicon film to be grown into a second polysilicon film by solid phase growth.

[Claim 4] A crystal growth method according to Claim 2 or Claim 3, characterized in that the heating of the polysilicon film and the second amorphous silicon film is performed by laser light irradiation.

[Claim 5] A crystal growth method according to any one of Claim 2 to Claim 4, characterized in that the polysilicon film is heated by laser light irradiation to increase the

crystal grain diameter of the polysilicon film after the step of solid phase growth of the polysilicon film and before the step of selectively etching the crystal defect.

[Claim 6] A crystal growth method characterized by having the step of moving an impurity in a polysilicon film formed by growing an amorphous silicon film by solid phase growth so as to capture the impurity in an impurity capturing layer which is formed over or under the amorphous silicon film by heating.

[Claim 7] A crystal growth method according to Claim 6, characterized in that the impurity capturing layer is removed after the impurity in the polysilicon film or the polysilicon film is captured in the impurity capturing layer.

[Claim 8] A crystal growth method according to Claim 7, characterized in that the impurity capturing layer is a semiconductor layer with density, distribution, and size of crystal defect, which are different from the polysilicon film.

[Claim 9] A crystal growth method according to Claim 6 or Claim 7, characterized in that the impurity capturing layer is a semiconductor layer with a lattice constant different from the polysilicon film.

[Claim 10] A crystal growth method according to Claim 6 or Claim 7, characterized in that the impurity capturing layer is a semiconductor layer containing phosphorus or boron.

[Claim 11] A crystal growth method according to any one of Claim 6 to Claim 10, characterized in that heating for moving the impurity is performed by laser light irradiation.

[Claim 12] A crystal growth method according to any one of Claim 1 to Claim 11, characterized in that the amorphous silicon film before the solid phase growth is doped with nickel or copper in a concentration of $1 \times 10^{17} \text{ cm}^{-3}$ or more.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The invention relates to a crystal growth method and a semiconductor device, specifically to a method for solid phase growth from amorphous silicon (a-Si) into polysilicon (p-Si) and a semiconductor device made from the polysilicon film using the method.

[0002]

[Prior Art] With increase in information as a backdrop, with respect to a liquid crystal display (LCD) which has large capacity and can display characters or images are expected.

Accordingly, a nonlinear element is added to a pixel to equivalently give sharp threshold characteristics to liquid crystal which does not have enough sharp threshold characteristics, so that the display capacity is improved while keeping high display contrast.

[0003] There is a thin film transistor (TFT) as one of such nonlinear elements. Today, application of an amorphous silicon (a-Si) film is predominant; however, more lately, reduction in resistance and increase in on-state current have been required to improve the response speed. Accordingly, a semiconductor film made of p-Si which has better crystallinity than a-Si is considered to be used. The followings are 3 methods which are mainly used to form a polysilicon film.

[0004] There are (1) a method in which a polysilicon film is grown directly on a heated glass substrate by CVD (a formation method of a polysilicon film by CVD),

(2) a method in which an a-Si film is melted by laser annealing, and is crystallized by cooling to be grown into a polysilicon film (a formation method of a polysilicon film by a laser annealing technique),

(3) a method in which an a-Si film is heat-treated at a temperature of about 600 °C for about 40 hours, and to be crystallized and grown into a polysilicon film (a formation method of a polysilicon film by solid phase growth), and

(4) a method for forming a polysilicon film with larger crystal grain diameter by combining the formation method of a polysilicon film by a laser annealing technique and the formation method of a polysilicon film by solid phase growth.

[0005]

[Problem to be solved by the Invention] However, in the formation method of a polysilicon film by CVD, the heating temperature is high, which has a bad influence upon a glass substrate. In the formation method of a polysilicon film by a laser annealing technique or the formation method of a polysilicon film by solid phase growth, when impurities (a light element or a heavy metal element) are mixed in an a-Si film, the impurities are accumulated in the crystal grain boundaries or the like during heating for solid phase growth or cooling in laser annealing. Therefore, the electrical characteristics of TFTs formed in the polysilicon film are not enhanced. For example, increase in leak current is caused.

[0006]

Further, as already known, when an a-Si film is deliberately doped with an impurity such

as Ni, not only the growth rate can be increased but also the temperature in solid phase growth is further lowered. However, in this case, a greater amount of impurities are to be accumulated in the grain boundaries or the like. Particularly in the case where a metal which forms a silicide is accumulated in the grain boundaries or the like, the electrical characteristics of the TFTs formed in the polysilicon film are deteriorated suddenly due to the formation of a silicide.

[0007] Further, in the case of combining solid phase growth and laser annealing, impurities accumulated in the grain boundaries or the like are dissolved easily in solid state again since the crystal temperature approaches the crystal melting point in laser annealing. However, the impurities are frozen in defects or grain boundaries in the polysilicon film in cooling. Accordingly, a large amount of impurities are to be contained in the polysilicon film. The invention is made in view of problems of the above conventional example for the purpose of providing a crystal growth method by which impurities in a polysilicon film formed by solid phase growth or by laser annealing, and a semiconductor device formed on the polysilicon film.

[0008]

[Means to Solve the Problems]

The above problem can be solved by a crystal growth method characterized by having the step of selectively etching a crystal defect that is present in a polysilicon film formed by solid phase growth of an amorphous silicon film by heating, that is the first invention; solved by a crystal growth method characterized by having the steps of forming an amorphous silicon film on a substrate, heating the amorphous silicon film to grow a polysilicon film by solid phase growth, selectively etching a crystal defect present in the polysilicon film, and heating the polysilicon film to be grown by solid phase growth, that is the second invention; solved by a crystal growth method characterized by having the steps of forming a first amorphous silicon film on a substrate, heating the first amorphous silicon film to be grown into a first polysilicon film by solid phase growth, selectively etching a crystal defect present in the first polysilicon film, forming a second amorphous silicon film on the first polysilicon film, and heating the second amorphous silicon film to be grown into a second polysilicon film by solid phase growth, that is the third invention; solved by a crystal growth method according to the second invention or the third invention, characterized in that the heating of the polysilicon film and the second amorphous silicon

film is performed by laser light irradiation, that is the fourth invention; solved by a crystal growth method according to any one of the second invention to the fourth invention, characterized in that the polysilicon film is heated by laser light irradiation to increase the crystal grain diameter of the polysilicon film after the step of solid phase growth of the polysilicon film and before the step of selectively etching the crystal defect, that is the fifth invention; solved by a crystal growth method characterized by having the step of moving an impurity in an amorphous silicon film or a polysilicon film formed by growing the amorphous silicon film by solid phase growth by heating so as to capture the impurity in an impurity capturing layer which is formed on or under the amorphous silicon film, that is the sixth invention; solved by a crystal growth method according to the sixth invention, characterized in that the impurity capturing layer is removed after the impurity in the amorphous silicon film or the polysilicon film is captured in the impurity capturing layer, that is the seventh invention; solved by a crystal growth method according to the sixth invention or the seventh invention, characterized in that the impurity capturing layer is a semiconductor layer with density, distribution, and size of crystal defect, which are different from the polysilicon film, that is the eighth invention; solved by a crystal growth method according to the sixth invention or the seventh invention, characterized in that the impurity capturing layer is a semiconductor layer with a lattice constant different from the polysilicon film, that is the ninth invention; solved by a crystal growth method according to the sixth invention or the seventh invention, characterized in that the impurity capturing layer is a semiconductor layer containing phosphorus or boron, that is the tenth invention; solved by a crystal growth method according to any one of the sixth invention to the tenth invention, characterized in that heating for moving the impurity is performed by laser light irradiation, that is the eleventh invention; and solved by a crystal growth method according to any one of the first invention to the eleventh invention, characterized in that the amorphous film before solid phase growth is doped with nickel or copper in a concentration of $1 \times 10^{17} \text{ cm}^{-3}$ or more, that is the twelfth invention.

[0009] According to the present invention, a crystal defect that is present in a polysilicon film (p-Si film), which is formed by solid phase growth by heating an amorphous silicon film (a-Si film), is etched selectively. In the case where impurities (a light element or a heavy metal element) are mixed in the a-Si film, the impurities are accumulated in a crystal defect such as crystal grain boundaries during heating for solid phase growth or cooling in

laser annealing. Alternatively, in the case where the a-Si film is deliberately doped with nickel (Ni) or copper (Cu) of high concentration (concentration of more than $1 \times 10^{17} \text{cm}^{-3}$) in order to further lower the solid-phase growth temperature and enhance the growth rate, a greater amount of impurities are to be accumulated in the crystal defect.

[0010] Thus, impurities are removed from the p-Si film by etching the crystal defect by selective etching. Accordingly, leak current in a transistor or the like which is formed on the p-Si film can be reduced. Further, when the polysilicon film is heated or irradiated with laser again after etching the crystal defect, the crystal grain diameter is made larger, and the surface having a depression, which is an etch mark, can be planarized. Alternatively, the surface can be planarized by filling the etch mark by coating an a-Si film after etching the crystal defect.

[0011] Further, when the p-Si film is heated by laser light irradiation after the step of solid phase growth of the p-Si film and before the step of selectively etching the crystal defect, the crystal grain diameter of the p-Si film is increased; thus, the crystallinity of the p-Si film can be enhanced. Accordingly, the resistance can be reduced and the on-state current is increased in addition to that the mobility of carriers in a transistor or the like which is formed on the p-Si film is increased.

[0012] Further, impurities in the a-Si film or in the p-Si film formed by solid phase growth of the a-Si film are moved by heating to be captured in an impurity capturing layer formed over or under the a-Si film. Thus, impurities are removed from the p-Si film. Especially, if the impurity capturing layer is removed after capturing the impurities to the impurity capturing layer, the impurities can be prevented from returning again to the p-Si film even in the case of adding heat treatment thereafter.

[0013] For the impurity capturing layer, a semiconductor layer with density, distribution, and size of crystal defect, which are different from the p-Si film, a semiconductor layer with a lattice constant different from the p-Si film, or a semiconductor layer containing phosphorus or boron can be used. A distortion is generated in an interface between the impurity capturing layer and the p-Si film or in the impurity capturing layer itself. The impurities are considered to be captured in the distortion.

[0014]

[Mode for Carrying Out the Invention] An embodiment mode of the invention will be described below with reference to the drawings.

(1) First embodiment mode of the invention

FIG. 1 is a flow chart showing a process procedure of a crystal growth method according to the first embodiment mode. Further, FIGS. 2(a) to (d), FIG. 3(a), (b) are cross-sectional views of a crystal growth method according to the first embodiment mode, showing the case of ② in the flow chart of FIG. 1.

[0015] First, an a-Si film 2 with a film thickness of about 50 nm is formed on a glass substrate 1 shown in FIG. 2(a) by CVD, and is thereafter coated with a nickel acetate solution and dried to form a nickel film (Ni film) 3 which is not shown (FIG. 2 (b)). Subsequently, Ni is dispersed in the a-Si film 2 by carrying out heat treatment at a temperature of 550 °C for four hours, and a p-Si film 2a having a crystal grain 4 is formed by solid phase growth of a-Si at the same time. Here, the solid-phase growth temperature is lowered since Ni is dispersed in the a-Si film 2a. However, in the p-Si film 2a, Ni with high diffusion coefficient is accumulated in a grain boundary 5. Further, the Ni reacts with Si; thus, a silicide is formed. The state after removing the Ni film 3 is shown in FIG. 2 (c). Further, the state after removing the grain boundary by etching is shown in FIG. 2 (d).

[0016] A TEM micrograph of p-Si which is doped with Ni and grown by solid phase growth is shown in FIG. 5. It is found that a silicide is formed in the black part of the center. FIG. 4 (a) shows a diagram in which the number of secondary ions of Ni is counted by SIMS and is converted to concentration distribution of Ni in the depth direction. The horizontal axis indicates the depth (nm) on line scales, and the vertical axis indicates the nickel concentration (cm^{-3}) in the p-Si film 2a on logarithmic scales. Ni is contained in a concentration of about $1 \times 10^{19} \text{ cm}^{-3}$ on average. The beam diameter of SIMS is several μm . Since Ni is accumulated in a crystal defect within the beam diameter, the measured Ni concentration is considered to be the average of the amount of Ni that is present in the beam diameter. Further, FIG. 6 (a) is a photograph of the crystal surface, showing the result of observing irregularities on the surface of the p-Si film 2a, and the surface is planarized.

[0017] Next, secco etching is performed using an etchant of a liquid mixture of potassium dichromate, hydrofluoric acid, and water. Accordingly, etching progresses along the crystal defect including the grain boundary 5 as shown in FIG. 2 (d). Concurrently, Ni

accumulated in the boundary 5 is also removed. FIG. 6 (b) is a photograph of a crystal surface, showing the result of observing irregularities on the surface of the p-Si film 2a after etching it, and black portions are removed by etching to be dented. FIG. 4 (b) is a diagram showing the concentration distribution of Ni in the depth direction. The horizontal axis and the vertical axis indicate the same thing as FIG. 4 (a). Ni in the p-Si film 2a is greatly reduced to a concentration about $1 \times 10^{18} \text{ cm}^{-3}$ or less on average.

[0018] Subsequently, as shown in FIG. 3 (a), an a-Si film 6 with a film thickness of about 200 Å is newly formed on the p-Si film 2a by CVD. Next, the a-Si film 6 is grown by solid phase growth to form a p-Si film by laser light irradiation, and the surface is planarized concurrently. Consequently, as shown in FIG. 3 (b), the p-Si film 7 is formed on the glass substrate 1 as an element formation layer as a whole.

[0019] FIG. 4 (c) is a diagram showing the concentration distribution of Ni in the depth direction. The horizontal axis and the vertical axis indicate the same thing as FIG. 4 (a). Ni in the p-Si film 7 in FIG. 3 (b) is maintained at a concentration of about $1 \times 10^{18} \text{ cm}^{-3}$ or less on average. Further, FIG. 6 (c) is a photograph of the crystal surface, showing the result of observing irregularities on the surface of the p-Si film 7, and the surface is found to be planarized.

[0020] As described above, in the case where the a-Si film 2 is deliberately doped with Ni at high concentration (a concentration of $1 \times 10^{17} \text{ cm}^{-3}$ or more) for the purpose of improving the growth rate in addition to lowering the solid-phase growth temperature, a greater amount of impurities are accumulated in the crystal defect of the grain boundary 4 or the like; however, Ni is removed from the p-Si film 2a by etching the crystal defect by selective etching.

[0021] Accordingly, leak current in a transistor or the like which is formed on the p-Si film 7 can be reduced. Further, the a-Si film 6 is coated after etching the crystal defect, and a surface having a depression that is an etch mark can be planarized by laser annealing. Thus, an element such as a transistor can be formed on the p-Si film 7 more easily.

[0022] Note that a solid-phase growth method shown in ① of a flow chart in FIG. 1 is also applicable. In other words, the p-Si film 2a may be directly heated by laser annealing or the like without forming the a-Si film 6 after selectively etching the crystal defect. Consequently, the crystal grain diameter of the p-Si film 2a is further increased,

and the surface can be planarized at the same time.

(2) Second embodiment mode of the invention

FIG. 7 is a flow chart showing a process procedure of a crystal growth method according to the second embodiment mode. Further, FIG. 8 (a) to (d), FIGS. 9 (a), (b) are cross-sectional views of a crystal growth method according to the second embodiment mode, showing the case of ③ in the flow chart of FIG. 7. What is different from the first embodiment mode is that a step of heating the p-Si film by laser light irradiation to increase the crystal grain diameter of the p-Si film is inserted after the step of growing the p-Si film by solid phase growth and before the step of selectively etching the crystal defect. [0023] First, an a-Si film 12 with a film thickness of about 50 nm is formed on a glass substrate 11 by CVD, and a nickel acetate solution is applied thereafter and dried to form a nickel film (a Ni film) 13, which is not shown (FIG. 8 (b)). Subsequently, heat treatment is carried out at a temperature of 550 °C for four hours thereby dispersing Ni in the a-Si film 12 and growing the a-Si film 12 by solid phase growth; thus, a p-Si film 12a including a crystal grain 14a is formed. On this occasion, since Ni is dispersed in the a-Si film 12a, Ni is accumulated in a grain boundary 15a in the p-Si film 12a. Further, the Ni reacts with Si; thus, a silicide is formed. The state after removing the Ni film 13 is shown in FIG. 8 (c).

[0024] A TEM micrograph of Ni condition in FIG. 8 (c) is shown in FIG. 11. The Ni silicide is shown in the left part of the figure. FIG. 10 (a) is a diagram showing the concentration distribution of Ni in the depth direction, which is acquired in the same manner as in FIGS. 4 (a) to (c). The horizontal axis indicates the depth (nm) on line scales, and the vertical axis indicates the nickel concentration (cm^{-3}) in the p-Si film 12a on logarithmic scales. Ni is contained in a concentration of about $1 \times 10^{19} \text{ cm}^{-3}$ on average. Further, FIG. 12 (a) is a photograph of the crystal surface, showing the result of observing irregularities on the surface of the p-Si film 12a. Protrusions are observed in the photograph; the heights of the protrusions are about several nm.

[0025] Next, as shown in FIG. 8 (d), the p-Si film 12a is subjected to laser annealing. Consequently, the crystal grain 14a grows further by solid phase growth to be a crystal grain 14b with a large grain diameter. Subsequently, secco etching is performed as shown in FIG. 9 (a) to selectively etch the crystal defect including a grain boundary 15b.

Concurrently, Ni accumulated in the grain boundary 15b is removed. FIG. 10 (b) is a diagram showing the concentration distribution of Ni in the depth direction. The horizontal axis and the vertical axis indicate the same thing as FIG. 10 (a). Ni in the p-Si film 12a decreases from the vicinity of the surface, and ranges from 1×10^{18} to 1×10^{19} cm^{-3} .

[0026] Next, as shown in FIG. 9 (b), the p-Si film 12b is further grown by solid phase growth by laser light irradiation, and the surface is planarized concurrently. Thus, a p-Si film 12c is formed on the glass substrate 11 as an element formation layer as a whole. FIG. 10 (c) is a diagram showing the concentration distribution of Ni in the depth direction. The horizontal axis and the vertical axis indicate the same thing as FIG. 10 (a). Ni in the p-Si film 12c is maintained at a concentration of about 1×10^{18} cm^{-3} or less on average. Further, FIG. 12 (b) is a photograph of the crystal surface, showing the result of observing irregularities on the surface of the p-Si film 12c, and the surface is found to be flat except for protrusions. Further, as a result of Raman scattering measurement, the crystal quality is confirmed to be good.

[0027] Note that, in the case of forming an element such as a transistor on the p-Si film 12c, the protrusions may be removed by polishing (CMD). The protrusions are so small that they do not interfere with the element formation even if they are not removed. As described above, according to the second embodiment mode in the case where the a-Si film 12 is deliberately doped with Ni at high concentration (a concentration of 1×10^{17} cm^{-3} or more) for the purpose of improving the growth rate in addition to lowering the solid-phase growth temperature, a greater amount of impurities are accumulated in the crystal defect 15b such as a grain boundary. However, Ni is removed from the p-Si film 12a by etching the crystal defect 15b by selective etching. Accordingly, leak current in a transistor or the like which is formed on the p-Si film 12c can be reduced.

[0028] Since the step of heating the p-Si film 12a by laser light irradiation to increase the crystal grain diameter of the p-Si film 12a is inserted after the step of growing the p-Si film 12b by solid phase growth and before the step of selectively etching the crystal defect, the crystallinity of the p-Si film 12b is further improved. Accordingly, the mobility of carriers in a transistor or the like which is formed on the p-Si film 12c is increased, and the resistance can be reduced and the on-state current can be increased.

[0029] Owing to the further solid phase growth by laser annealing after etching the crystal defect, the crystal grain diameter is further increased and the surface can be planarized. Thus, an element such as a transistor can be formed on the p-Si film 17 more easily. In addition, a solid-phase growth method shown in ④ of a flow chart in FIG. 7 is also applicable. Specifically, an a-Si film is formed after selective etching of a crystal defect, and may be heated by laser annealing. In this manner, the surface can be further planarized.

[0030]

(3) Third and Fourth embodiment modes of the invention

FIGS. 13 (a) to (d) are cross-sectional views showing a crystal growth method according to the third embodiment mode. What is different from the first and the second embodiment modes is that an impurity capturing layer is provided. As shown in FIG. 13 (a), a silicon oxide film 22 with a film thickness of about 200 nm is formed on a glass substrate 21. Further, after forming an a-Si film with a film thickness of about 20 nm, an a-Si film is annealed by laser light irradiation at two energy levels of 220 mJ and 330 mJ, for example; thus, a p-Si film (impurity capturing layer) 23 with a crystal grain diameter of about 10 nm is formed. Note that the temperature reaches about 1410 °C in laser light irradiation; however, required energy of laser light varies depending on a laser irradiation apparatus.

[0031] Subsequently, as shown in FIG. 13 (b), an a-Si film 24 with a film thickness of about 50 nm and a Ni film 25 are formed in order on the p-Si film 23, and heat treatment is carried out thereafter at a temperature of 550 °C for four hours as shown in FIG. 13 (c). Thus, Ni is dispersed in an a-Si film 24, and the a-Si film 24 is grown into the p-Si film 24a by solid phase growth. Next, as shown in FIG. 13 (c), after removing the Ni film 25, the p-Si film 24a is subjected to laser annealing for further solid phase growth to increase the crystal grain diameter. In this manner, a p-Si film 24b as an element formation layer is formed. At this time, Ni is moved by heating, and is captured in the p-Si film 23.

[0032] FIG. 14 (a) shows a result of examining concentration distribution of Ni in the p-Si film 24b and the p-Si film (impurity capturing layer) 23. The horizontal axis indicates the depth (nm) on linear scales, and the vertical axis indicates the Ni concentration (cm^{-3}) on logarithmic scales. In addition, for comparison, a sample without the p-Si film (impurity capturing layer) 23 is also subjected to the same experiment to examine the concentration

distribution of Ni in the p-Si film 24b. The findings are shown in FIG. 14 (b).

[0033] According to the findings, a large amount of Ni is captured in the p-Si film (impurity capturing layer) 23, and the Ni concentration in the p-Si film 24b is reduced correspondingly, which is significantly effective compared with the comparative example. Further, as a result of Raman scattering measurement, the crystal quality is confirmed to be good. As described above, according to the third embodiment mode, Ni in the p-Si film 24a which is formed by solid phase growth of a-Si film 24 is moved by heating to be captured in the p-Si film (impurity capturing layer) 23 formed under the a-Si film 24. Thus, Ni is removed from the p-Si film 24a. Accordingly, leak current in a transistor or the like which is formed on the p-Si film 24b can be reduced.

[0034] Further, since the p-Si film 24a is heated by laser light irradiation after the solid phase growth of the p-Si film 24a, the crystal grain diameter of the p-Si film 24b is increased; thus, the crystallinity of the p-Si film 24b can be improved. Accordingly, the mobility of carriers in a transistor or the like which is formed on the p-Si film 24b is increased, resistance is reduced, and on-state current can be increased.

[0035] Further, in the above description, a p-Si film 23 with density, distribution, and size of crystal defect, which are different from the p-Si film 24a or 24b is used for the impurity capturing layer; however, as shown in FIG. 15, a semiconductor layer with a lattice constant different from the p-Si film 24a or 24b, for example, a SiGe film 26 may be used.

[0036] Also in this case, concentration distribution of Ni in the p-Si film 24b is shown in FIG. 16 (a) as in the above third mode. Specifically, Ni in the SiGe film 26 is captured, and Ni concentration in the p-Si film 24b can be reduced. In addition, FIG. 16 (b) shows an experimental result of a sample without the SiGe film 26.

(4) Fifth embodiment mode of the invention

FIGS. 17 (a) to (d) are cross-sectional views showing a crystal growth method according to the fifth embodiment mode. What is different from the third and the fourth embodiment modes is that a p-Si film 29 containing phosphorus is formed as an impurity capturing layer on a p-Si film 28 containing Ni, which is formed by solid phase growth.

[0037] First, a silicon oxide film 22 is formed on a glass substrate 21 as shown in FIG. 17 (a). Subsequently, an a-Si film is doped with Ni (impurities) and grown by solid phase growth to form a p-Si film 28 as in the above description. The concentration distribution of Ni in the p-Si film 28 here is shown in FIG. 18 (a). Next, a p-Si film (impurity

capturing layer) 29 containing phosphorus at a concentration of about $1 \times 10^{20} \text{ cm}^{-3}$ is formed on the p-Si film 28 by CVD as shown in FIG. 17 (b).

[0038] Next, as shown in FIG. 17 (c), Ni in the p-Si film 28 is heated by laser annealing; thus, the Ni therein is moved to the p-Si film 29 and captured in the p-Si film 29. At the same time, the crystal grain diameter of the p-Si film 28a is grown larger. Subsequently, as shown in FIG. 17 (d), when the p-Si film 29 is removed, the formation of the element formation layer is completed. The concentration distribution of Ni in the p-Si film 28a of the time is shown in FIG. 18 (b). Specifically, Ni is reduced from the surface of the p-Si film 28a. Further, as a result of Raman scattering measurement, the crystal quality is confirmed to be good.

[0039] According to the above fifth embodiment mode, after the p-Si film (impurity capturing layer) 29 is formed on the p-Si film 28, Ni in the p-Si film 28a is moved to the p-Si film 29 by heating and captured in the p-Si film 29. Thus, Ni in the p-Si film 28a can be reduced. Consequently, in the case of forming a transistor or the like on the p-Si film 28a, leak current of the transistor can be reduced and the performance can be improved.

[0040] Further, after Ni is captured in the p-Si film 29, the p-Si film 29 is removed; thus, Ni can be prevented from returning again to the p-Si film 28a even in the case of adding heat treatment thereafter. Further, after the solid-phase growth, laser annealing is further applied to perform further solid phase growth to increase the crystal grain diameter. Hence, the mobility of carriers in the p-Si film 28a is increased, and the performance of the transistor formed on the p-Si film 28a can be improved.

[0041] Further, p-Si with very low crystallinity or a semiconductor with a different lattice constant, for example, SiGe may be used for the impurity capturing layer 29.

(5) Sixth embodiment mode of the invention

FIGS. 19 (a) to (e) are cross-sectional views showing a crystal growth method according to the sixth embodiment mode. What is different from the above fifth embodiment mode is that the p-Si film 30 containing Ni, which is grown by solid phase growth is partially etched and air-isolated into a plurality of p-Si films 30a that is to be an element formation area, and the space between the plurality of p-Si films 30a is thereafter filled with p-Si films 32 containing phosphorus as impurity capturing layers and Ni is captured therein.

[0042] First, as shown in FIG. 19 (a), a silicon oxide film 22 is formed on a glass substrate

21. Subsequently, in the same manner as the above description, an a-Si film is doped with Ni (impurities) and grown by solid phase growth to form a p-Si film 30. The concentration distribution of Ni in the p-Si film 30 of the time is shown in FIG. 20 (a). Subsequently, as shown in FIG. 19 (b), after a resist mask 31 is formed in a region on the p-Si film 30 where an element formation layer is to be formed, the p-Si film 30 is removed by selective etching with the use of the resist mask 31. Thus, element formation layers 30a are left on the silicon oxide film 22.

[0043] Next, as shown in FIG. 19 (c), the resist masks 31 are left intact, and p-Si films (impurity capturing layers) 32 containing phosphorus at a concentration of about 1×10^{20} cm are formed thereover by CVD. The space between the element formation layers 30a are filled with the p-Si films 32. Subsequently, the resist masks 31 are removed, and the p-Si films 32 filling the spaces between the element formation layers 30a are left by lift-off.

[0044] Next, as shown in FIG. 19 (d), laser light is applied to the surfaces of the element formation layers 30a and the p-Si films 32 for heating; thus, Ni in the p-Si films 30a is moved to the p-Si films 32 and captured in the p-Si films 32, and the crystal grain diameter of p-Si films 30b is grown larger. Subsequently, as shown in FIG. 19 (e), when the p-Si films 32 are removed by using etching rate difference, the formation of the element formation layers 30b is completed. The concentration distribution of Ni in the p-Si films 30b of the time is shown in FIG. 20 (b). Specifically, the Ni concentration in the p-Si films 30b is reduced to 2×10^{17} cm⁻³. Further, as a result of Raman scattering measurement, the crystal quality is confirmed to be good.

[0045] According to the above sixth embodiment mode, after the air isolation into the plurality of p-Si films 30a that is to be an element formation area, the spaces between the p-Si films 30a are filled with the p-Si films 32 containing phosphorus as an impurity capturing layer, and Ni is captured therein; thus, Ni in the p-Si films 30b is reduced. Therefore, in the case of forming a transistor or the like on the p-Si films 30b, leak current of the transistor can be reduced and the performance can be improved.

[0046] Further, after Ni is captured in the p-Si films 32, the p-Si films 32 are removed; thus, Ni can be prevented from returning again to the p-Si films 30b even in the case of adding heat treatment thereafter. Further, after the solid-phase growth, laser annealing is further

applied to perform further solid phase growth to increase the crystal grain diameter. Hence, the mobility of carriers in the p-Si films 30b is increased and the performance of the transistor formed on the p-Si films 30b can be improved.

[0047] Further, p-Si with very small crystallinity or a semiconductor with a different lattice constant, for example, SiGe may be used for the impurity capturing layers 32.

(6) Seventh embodiment mode of the invention

FIGS. 21 (a) to (d) are cross-sectional views showing a crystal growth method according to the seventh embodiment mode. A feature of the seventh embodiment mode is that impurity capturing layers are formed over and under a p-Si film 34 to be an element formation layer. In the seventh embodiment mode, a SiGe film 33 is formed under the p-Si film 34, and a p-Si film 35 containing phosphorus is formed over the p-Si film 34.

[0048] First, as shown in FIG. 21 (a), a silicon oxide film 22 is formed on a glass substrate 21. Subsequently, a SiGe film (impurity capturing layer) 33 with a film thickness of about 20 nm and an a-Si film with a film thickness of about 50 nm are formed in order, and the a-Si film is thereafter doped with Ni (impurities) to be grown by solid phase growth to form the p-Si film 34 in the same manner as the above description. The concentration distribution of Ni in the p-Si film 34 of the time is shown in FIG. 22 (a).

[0049] Subsequently, as shown in FIG. 21 (b), a p-Si film (impurity capturing layer) 35 containing phosphorus at a concentration of about $1 \times 10^{20} \text{ cm}^{-3}$ is formed on the p-Si film 34 by CVD. Next, as shown in FIG. 21 (c), Ni in the p-Si film 34 is heated by laser annealing; thus, the Ni therein is moved to the SiGe film 33 and the p-Si film 35 and captured in the SiGe film 33 and the p-Si film 35. At the same time, crystal grain diameter of the p-Si film 34a is grown larger.

[0050] Subsequently, as shown in FIG. 21 (d), when the p-Si film 35 is removed, the formation of an element formation layer 34a is completed. The concentration distribution of Ni in the p-Si film 34a of the time is shown in FIG. 22 (b). Specifically, the Ni concentration in the p-Si film 34a is reduced to $1 \times 10^{17} \text{ cm}^{-3}$ or less. Further, as a result of Raman scattering measurement, the crystal quality is confirmed to be good.

[0051] According to the above seventh embodiment mode, Ni in the p-Si film 34a can be reduced since the impurity capturing layers 33, 35 are formed over and under the p-Si film 34 that is to be an element formation layer. Therefore, in the case of forming a transistor

or the like on the p-Si film 34a, leak current of the transistor can be reduced and the performance can be improved. Further, after Ni is captured in the p-Si film 35, the p-Si film 33 is removed; thus, Ni can be prevented from returning again to the p-Si film 34a even in the case of adding heat treatment thereafter.

[0052] Further, after the solid-phase growth, laser annealing is further applied to perform further solid phase growth to increase the crystal grain diameter. Hence, the mobility of carriers in the p-Si film 34a is increased and the performance of the transistor formed on the p-Si film 34a can be improved. Further, p-Si with very low crystallinity or a semiconductor with different lattice constant, for example, SiGe may be used for the impurity capturing layers 33 and 35.

[0053] Note that, in the above embodiment mode, the a-Si film is deliberately doped with Ni; however, that is also effective in the case where impurities (a light element or a heavy metal element) are present in the a-Si film from the beginning. Further, the method for removing impurities in the crystal growth method of the invention is applied to the p-Si film grown by solid phase growth; however, the removal method can be applied to a p-Si film grown by CVD.

[0054]

[Effect of the Invention] As described above, according to the present invention, a crystal defect that is present in a polysilicon film (p-Si film), which is formed by solid phase growth by heating an amorphous silicon film (a-Si film), is etched selectively. In the case where impurities (a light element or a heavy metal element) are present in the a-Si film, the impurities are accumulated in crystal grain boundaries or the like during heating for solid phase growth or cooling in laser annealing. Thus, the impurities are removed from the p-Si film by etching the crystal defect by selective etching. Accordingly, leak current in a transistor or the like which is formed on the p-Si film can be reduced.

[0055] Further, when the p-Si film is heated again after etching the crystal defect, the crystal grain diameter is further increased, and a surface having a depression that is an etch mark can be planarized. Alternatively, the surface can be planarized by filling the depression that is an etch mark by coating the a-Si film after etching the crystal defect. Thus, the formation of the element in the element formation layer becomes easier.

[0056] Further, when the p-Si film is heated by laser light irradiation after the step of solid phase growth of the p-Si film, the crystal grain diameter of the p-Si film is increased; thus,

the crystallinity of the p-Si film can be improved. Consequently, the mobility of carriers in a transistor or the like which is formed on the p-Si film is increased and the resistance can be reduced, the on-state current is increased, and the response speed can be improved.

[0057] Further, impurities in the a-Si film or the p-Si film formed by solid phase growth of the a-Si film are moved by heating to be captured in an impurity capturing layer formed over or under the a-Si film. Thus, the impurities are removed from the p-Si film. Accordingly, leak current in a transistor or the like which is formed on the p-Si can be reduced. Especially, if the impurity capturing layer is removed after capturing the impurities to the impurity capturing layer, the impurities are prevented from returning again to the p-Si film even in the case of adding heat treatment thereafter.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 is a flow chart showing a process procedure of a crystal growth method according to the first embodiment mode of the invention.

[FIG. 2] FIGS. 2(a) to (d) are cross-sectional views showing a crystal growth method according to the first embodiment mode of the invention (1).

[FIG. 3] FIGS. 3(a) and (b) are cross-sectional views showing a crystal growth method according to the first embodiment mode of the invention (2).

[FIG. 4] FIGS. 4(a) to (c) are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the first embodiment mode of the invention.

[FIG. 5] FIG. 5 is a photograph of a crystal thin film, showing a surface condition of a p-Si film in a crystal growth method according to the first embodiment mode of the invention.

[FIG. 6] FIGS. 6(a) to (c) are photographs of a crystal thin film, showing a surface condition of a p-Si film in a crystal growth method according to the first embodiment mode of the invention.

[FIG. 7] FIG. 7 is a flow chart showing a process procedure of a crystal growth method according to the second embodiment mode of the invention.

[FIG. 8] FIGS. 8(a) to (d) are cross-sectional views showing a crystal growth method according to the second embodiment mode of the invention (1).

[FIG. 9] FIGS. 9(a) and (b) are cross-sectional views showing a crystal growth method according to the second embodiment mode of the invention (2).

[FIG. 10] FIGS. 10(a) to (c) are diagrams each showing Ni concentration distribution in an

element formation layer in a crystal growth method according to the second embodiment mode of the invention.

[FIG. 11] FIG. 11 is a photograph of a crystal thin film, showing a surface condition of a p-Si film in a crystal growth method according to the second embodiment mode of the invention.

[FIG. 12] FIGS. 12(a) and (b) are photographs of a crystal thin film, showing a surface condition of a p-Si film in a crystal growth method according to the second embodiment mode of the invention.

[FIG. 13] FIGS. 13(a) to (d) are cross-sectional views showing a crystal growth method according to the third embodiment mode of the invention.

[FIG. 14] FIGS. 14(a) and (b) are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the third embodiment mode of the invention.

[FIG. 15] FIG. 15 is a cross-sectional view showing a crystal growth method according to the fourth embodiment mode of the invention.

[FIG. 16] FIGS. 16(a) and (b) are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the fourth embodiment mode of the invention.

[FIG. 17] FIGS. 17(a) to (d) are cross-sectional views showing a crystal growth method according to the fifth embodiment mode of the invention.

[FIG. 18] FIGS. 18(a) and (b) are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the fifth embodiment mode of the invention.

[FIG. 19] FIGS. 19(a) to (e) are cross-sectional views showing a crystal growth method according to the sixth embodiment mode of the invention.

[FIG. 20] FIGS. 20(a) and (b) are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the sixth embodiment mode of the invention.

[FIG. 21] FIGS. 21 are cross-sectional views showing a crystal growth method according to the seventh embodiment mode of the invention.

[FIG. 22] FIGS. 22 are diagrams each showing Ni concentration distribution in an element formation layer in a crystal growth method according to the seventh embodiment mode of

the invention.

[Explanation of Reference Numerals]

1, 11, 21 glass substrate,
2, 6, 12, 24 a-Si film,
2a, 12a, 12b, 24a, 24b, 28, 30, 30a, 34 p-Si film,
3, 13, 25 Ni film,
4, 14a, 14b crystal grain,
5, 15 a, 15b grain boundary,
7, 12 c, 28a, 30b, 34a p-Si film (element formation layer),
22 silicon oxide film,
23 p-Si film (impurity capturing layer),
26, 33 SiGe film (impurity capturing layer),
29, 32, 35 p-Si film containing phosphorus (impurity capturing layer),
31 resist mask.

continued from the front page

(51) Int.Cl.⁶

H01L 21/336

identification symbol

office file number FI

technology indication part

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-115831

(43) 公開日 平成9年(1997)5月2日

(51) Int. Cl. ⁶	識別記号	F I
H01L 21/20		H01L 21/20
21/268		21/268 Z
21/324		21/324 Z
27/12		27/12 R
29/786		29/78 627 G
審査請求 未請求 請求項の数12 O L (全16頁) 最終頁に続く		

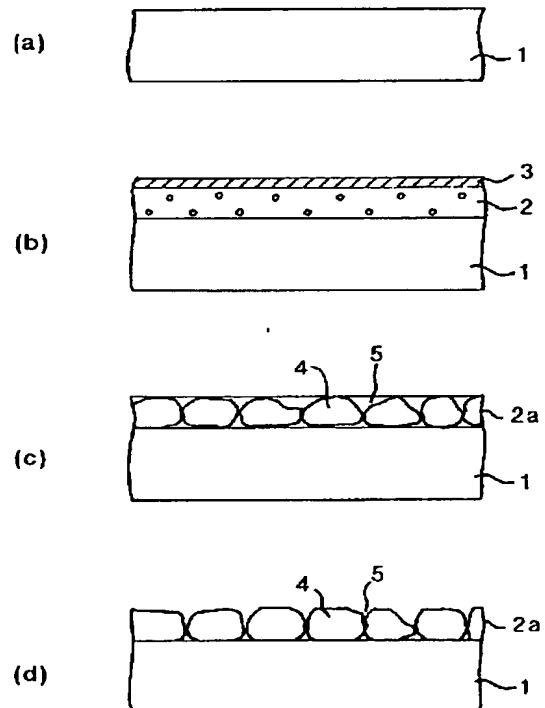
(21) 出願番号	特願平7-271223	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成7年(1995)10月19日	(72) 発明者	原 明人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	北原 邦紀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 岡本 啓三

(54) 【発明の名称】 結晶成長方法

(57) 【要約】

【課題】 アモルファスシリコン (a-Si) からポリシリコン (p-Si) への固相成長方法に関し、固相成長或いはレーザアニールにより形成されたポリシリコン膜中の不純物を低減させる。

【解決手段】 アモルファスシリコン膜2を加熱し、固相成長させて形成したポリシリコン膜2a中に存在する結晶欠陥5を選択的にエッチングする工程を含む。



【特許請求の範囲】

【請求項 1】 アモルファスシリコン膜を加熱し、固相成長させて形成したポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程を含むことを特徴とする結晶成長方法。

【請求項 2】 基板上にアモルファスシリコン膜を形成する工程と、

前記アモルファスシリコン膜を加熱し、ポリシリコン膜を固相成長させる工程と、

前記ポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程と、

前記ポリシリコン膜を加熱し、固相成長させる工程とを含むことを特徴とする結晶成長方法。

【請求項 3】 基板上に第 1 のアモルファスシリコン膜を形成する工程と、

前記第 1 のアモルファスシリコン膜を加熱し、第 1 のポリシリコン膜を固相成長させる工程と、

前記第 1 のポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程と、

前記第 1 のポリシリコン膜上に第 2 のアモルファスシリコン膜を形成する工程と、

前記第 2 のアモルファスシリコン膜を加熱して、第 2 のポリシリコン膜を固相成長させる工程とを含むことを特徴とする結晶成長方法。

【請求項 4】 前記ポリシリコン膜又は前記第 2 のアモルファスシリコン膜の加熱はレーザー光の照射によることを特徴とする請求項 2 又は請求項 3 に記載の結晶成長方法。

【請求項 5】 前記ポリシリコン膜を固相成長させる工程の後であって前記結晶欠陥を選択的にエッチングする工程の前に、レーザー光の照射により前記ポリシリコン膜を加熱し、該ポリシリコン膜の結晶粒径を大きくする工程を含むことを特徴とする請求項 2 乃至請求項 4 のいずれかに記載の結晶成長方法。

【請求項 6】 アモルファスシリコン膜の上又は下に形成した不純物捕獲層に、前記アモルファスシリコン膜中、又は該アモルファスシリコン膜を固相成長させて形成したポリシリコン膜中の不純物を加熱により移動させて捕獲する工程を含むことを特徴とする結晶成長方法。

【請求項 7】 前記アモルファスシリコン膜中、又は前記ポリシリコン膜中の不純物を前記不純物捕獲層に捕獲した後、前記不純物捕獲層を除去することを特徴とする請求項 6 に記載の結晶成長方法。

【請求項 8】 前記不純物捕獲層は、前記ポリシリコン膜に対して異なる結晶欠陥の密度、分布又は大きさを有する半導体層であることを特徴とする請求項 6 又は請求項 7 に記載の結晶成長方法。

【請求項 9】 前記不純物捕獲層は、前記ポリシリコン膜に対して異なる格子定数を有する半導体層であることを特徴とする請求項 6 又は請求項 7 に記載の結晶成長方

法。

【請求項 10】 前記不純物捕獲層は、リン又はボロンのいずれかを含有する半導体層であることを特徴とする請求項 6 又は請求項 7 に記載の結晶成長方法。

【請求項 11】 前記不純物を移動させる加熱は、レーザー光の照射によることを特徴とする請求項 6 乃至請求項 10 のいずれかに記載の結晶成長方法。

【請求項 12】 前記固相成長させる前のアモルファスシリコン膜に、濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以上のニッケル又は銅をドーピングすることを特徴とする請求項 1 乃至請求項 11 のいずれかに記載の結晶成長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、結晶成長方法及び半導体装置に関し、より詳しくは、アモルファスシリコン (a-Si) からポリシリコン (p-Si) への固相成長方法及びそのポリシリコン膜を用いて作成された半導体装置に関する。

【0002】

【従来の技術】情報量の増大を背景として、液晶ディスプレイ (LCD) においては、大容量、かつ文字表示或いは画像表示を行うことが可能なものが望まれている。このため、絵素に非線形素子を付加して、十分な閾値特性の鋭さを持たない液晶に等価的に鋭い閾値特性を付与し、高い表示コントラストを保持しつつ表示容量を高めるようにしている。

【0003】このような非線形素子の一つとして薄膜トランジスタ (TFT) がある。現在、アモルファスシリコン (a-Si) 膜の適用が主流となっているが、さらに近年になって応答速度の向上を図るため、抵抗の低減やオン電流の増大が要望されるようになってきている。このため、a-Si よりも結晶性の良い p-Si からなる半導体膜を用いることが検討されている。ポリシリコン膜の形成方法として主なものに次の 3 つがある。

【0004】①加熱したガラス基板上に CVD 法により直接ポリシリコン膜を成長させる方法 (CVD 法によるポリシリコン膜の形成方法)、

② a-Si 膜をレーザーアニールすることにより溶解させ、冷却時に結晶化させてポリシリコン膜を成長する方法 (レーザーアニール法によるポリシリコン膜の形成方法)、

③ 凡そ 600℃ の温度で、40 時間程度、a-Si 膜を加熱処理して結晶化させてポリシリコン膜を成長する方法 (固相成長によるポリシリコン膜の形成方法)、

④ 上記の固相成長によるポリシリコン膜の形成方法とレーザーアニール法によるポリシリコン膜の形成方法とを併用し、さらに結晶粒径の大きいポリシリコン膜を形成する方法

がある。

【0005】

【発明が解決しようとする課題】しかしながら、CVD法によるポリシリコン膜の形成方法では加熱温度が高く、ガラス基板に対して悪影響を与える。また、レーザアニール法によるポリシリコン膜の形成方法及び固相成長によるポリシリコン膜の形成方法では、a-Si膜中に不純物（軽元素や重金属元素）が混入していた場合、その不純物が固相成長の加熱時やレーザアニールの冷却時に結晶粒界等に集積するため、そのポリシリコン膜内に形成されたTFTの電気的特性が向上しない。例えば、リーク電流の増大を招く。

【0006】更に、既に知られているように、a-Si膜中に故意にNi等の不純物をドーブさせると、固相成長温度をさらに低下させ、かつ成長速度の増大を図ることができる。しかしながら、この場合にはさらに多量の不純物が結晶粒界等に集積することになる。特に、上記でシリサイドを形成するような金属が結晶粒界等に集積した場合には、シリサイドの形成によりポリシリコン膜内に形成されたTFTの電気的特性の急激な悪化を招く。

【0007】また、固相成長とレーザアニールとを併用する場合、固相成長の加熱により結晶粒界等に集積した不純物はレーザアニール時に結晶温度が結晶の融点近くに上がるため再固溶するが、冷却時にポリシリコン膜中の欠陥や結晶粒界に凍結される。従って、ポリシリコン膜内にも多量の不純物が含まれるようになる。本発明は、上記の従来例の問題点を鑑みて創作されたものであり、固相成長或いはレーザアニールにより形成されたポリシリコン膜中の不純物を低減させることができる結晶成長方法及びそのポリシリコン膜に作成された半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題は、第1の発明である、アモルファスシリコン膜を加熱し、固相成長させて形成したポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程を含むことを特徴とする結晶成長方法によって達成され、第2の発明である、基板上にアモルファスシリコン膜を形成する工程と、前記アモルファスシリコン膜を加熱し、ポリシリコン膜を固相成長させる工程と、前記ポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程と、前記ポリシリコン膜を加熱し、再度固相成長させる工程とを含むことを特徴とする結晶成長方法によって達成され、第3の発明である、基板上に第1のアモルファスシリコン膜を形成する工程と、前記第1のアモルファスシリコン膜を加熱し、第1のポリシリコン膜を固相成長させる工程と、前記第1のポリシリコン膜中に存在する結晶欠陥を選択的にエッチングする工程と、前記第1のポリシリコン膜上に第2のアモルファスシリコン膜を形成する工程と、前記第2のアモルファスシリコン膜を加熱して、第2のポリシリコン膜を固相成長させる工程とを含むことを特徴

とする結晶成長方法によって達成され、第4の発明である、前記ポリシリコン膜又は前記第2のアモルファスシリコン膜の加熱はレーザ光の照射によることを特徴とする第2又は第3の発明に記載の結晶成長方法によって達成され、第5の発明である、前記ポリシリコン膜を固相成長させる工程の後であって前記結晶欠陥を選択的にエッチングする工程の前に、レーザ光の照射により前記ポリシリコン膜を加熱し、該ポリシリコン膜の結晶粒径を大きくする工程を含むことを特徴とする第2乃至第4の発明のいずれかに記載の結晶成長方法によって達成され、第6の発明である、アモルファスシリコン膜の上又は下に形成した不純物捕獲層に、前記アモルファスシリコン膜中、又は該アモルファスシリコン膜を固相成長させて形成したポリシリコン膜中の不純物を加熱により移動させて捕獲する工程を含むことを特徴とする結晶成長方法によって達成され、第7の発明である、前記アモルファスシリコン膜中、又は前記ポリシリコン膜中の不純物を前記不純物捕獲層に捕獲した後、前記不純物捕獲層を除去することを特徴とする第6の発明に記載の結晶成長方法によって達成され、第8の発明である、前記不純物捕獲層は、前記ポリシリコン膜に対して異なる結晶欠陥の密度、分布又は大きさを有する半導体層であることを特徴とする第6又は第7の発明に記載の結晶成長方法によって達成され、第9の発明である、前記不純物捕獲層は、前記ポリシリコン膜に対して異なる格子定数を有する半導体層であることを特徴とする第6又は第7の発明に記載の結晶成長方法によって達成され、第10の発明である、前記不純物捕獲層は、リン又はボロンを含有する半導体層であることを特徴とする第6又は第7の発明に記載の結晶成長方法によって達成され、第11の発明である、前記不純物を移動させる加熱は、レーザ光の照射によることを特徴とする第6乃至第10の発明のいずれかに記載の結晶成長方法によって達成され、第12の発明である、前記固相成長させる前のアモルファスシリコン膜に、濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以上のニッケル又は銅をドーブすることを特徴とする第1乃至第11の発明のいずれかに記載の結晶成長方法によって達成される。

【0009】本発明によれば、アモルファスシリコン膜（a-Si膜）を加熱し、固相成長させて形成したポリシリコン膜（p-Si膜）中に存在する結晶欠陥を選択的にエッチングしている。a-Si膜中に不純物（軽元素や重金属元素）が混入していた場合、その不純物が固相成長の加熱時やレーザアニールの冷却時に結晶粒界等の結晶欠陥に集積する。或いは、固相成長温度をさらに低下させ、かつ成長速度の向上を図るため、a-Si膜中に故意に高濃度（濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以上）のニッケル（Ni）や銅（Cu）をドーブさせた場合、さらに多量の不純物が結晶欠陥に集積することになる。

【0010】従って、選択エッチングにより結晶欠陥をエッチングすることで、p-Si膜中から不純物が除去

10

20

30

40

50

される。これにより、 $p-Si$ 膜に形成されたトランジスタ等のリーク電流を低減することができる。また、結晶欠陥のエッチング後に再びポリシリコン膜を加熱又はレーザ照射することにより、結晶粒径を更に大きくしてエッチング跡の凹部を含む表面を平坦化することができる。又は、結晶欠陥のエッチング後に $a-Si$ 膜を被覆することにより、エッチング跡の凹部を埋めて表面を平坦化することができる。

【0011】更に、 $p-Si$ 膜を固相成長させる工程の後であって結晶欠陥を選択的にエッチングする工程の前に、レーザ光の照射により $p-Si$ 膜を加熱することにより、該 $p-Si$ 膜の結晶粒径を大きくして、 $p-Si$ 膜の結晶性を向上させることができる。これにより、 $p-Si$ 膜に形成されたトランジスタ等のキャリアの移動度を大きくし、かつ抵抗の低減やオン電流の増加を図ることができる。

【0012】また、 $a-Si$ 膜の上又は下に形成した不純物捕獲層に、 $a-Si$ 膜中、又は該 $a-Si$ 膜を固相成長させて形成した $p-Si$ 膜中の不純物を加熱により移動させて捕獲している。これにより、 $p-Si$ 膜中から不純物が除かれる。特に、不純物捕獲層に不純物を捕獲した後、不純物捕獲層を除去することで、後に加熱処理を加えた場合でも、 $p-Si$ 膜中に再び不純物が戻るのが防止することができる。

【0013】不純物捕獲層として、 $p-Si$ 膜に対して異なる結晶欠陥の密度、分布又は大きさを有する半導体層、 $p-Si$ 膜に対して異なる格子定数を有する半導体層、又はリン或いはボロンを含有する半導体層を用いることができる。これらの不純物捕獲層はいずれも $p-Si$ 膜との界面に、又は不純物捕獲層自身に歪みが生じ、この歪みに不純物が捕獲されると考えられる。

【0014】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

(1) 本発明の第1の実施の形態

図1は、第1の形態に係る結晶成長方法の工程順序を示すフローチャートである。また、図2(a)~(d)、図3(a)、(b)は第1の形態に係る結晶成長方法を示す断面図であり、図1のフローチャートの②の場合を示している。

【0015】まず、図2(a)に示すガラス基板1上に、膜厚約50nmの $a-Si$ 膜2をCVD法により形成した後、酢酸ニッケルの水溶液を塗布して乾燥させ、不図示のニッケル膜(Ni膜)3を形成する(図2

(b))。次いで、温度550℃、4時間の加熱処理を行い、 $a-Si$ 膜2中にNiを拡散するとともに、 $a-Si$ を固相成長させて結晶粒4を有する $p-Si$ 膜2aを形成する。このとき、 $a-Si$ 膜2a中にNiを拡散しているので、固相成長温度が低くなるが、 $p-Si$ 膜2a中では拡散係数の大きいNiが結晶粒界5に集積

し、さらにSiと反応してシリサイドが形成される。図2(c)に、Ni膜3を除去した後の状態を示す。また、図2(d)に結晶粒界をエッチングにより除去した後の状態を示す。

【0016】Niドーピングして固相成長した $p-Si$ のTEM写真を図5に示す。中央の黒い部分にシリサイドが形成されているのが分かる。また、図4(a)はSIMSによりNiの二次イオンを計数し、深さ方向のNiの濃度分布に換算した図である。横軸に線形目盛りで表した深さ(nm)を示し、縦軸に対数目盛りで表した $p-Si$ 膜2a内のニッケル濃度(cm^{-3})を示す。平均して凡そ $1 \times 10^{19} cm^{-3}$ の濃度のNiが含まれる。なお、SIMSのビーム径は数 μm であり、Niはビーム径内で結晶欠陥に集積しているため、測定されたNi濃度はビーム径内に存在するNi量を平均化したものと考えられる。更に、図6(a)は $p-Si$ 膜2a表面の凹凸を観察した結果を示す結晶表面の写真であり、表面は平坦になっている。

【0017】次に、重クロム酸カリウムと弗酸と水の混合液からなるエッチング液によりセッコエッチを行う。これにより、図2(d)に示すように、結晶粒界5を含む結晶欠陥に沿ってエッチングが進む。同時に、結晶粒界5に集積していたNiも除去される。図6(b)は $p-Si$ 膜2aをエッチングした後の表面の凹凸を観察した結果を示す結晶表面の写真であり、黒い部分がエッチングにより除去されて凹んでいる。また、図4(b)は深さ方向のNiの濃度分布を示す図である。横軸と縦軸は図4(a)と同じである。 $p-Si$ 膜2a内のNiは大幅に減少し、平均して凡そ $1 \times 10^{18} cm^{-3}$ 以下濃度になった。

【0018】次いで、図3(a)に示すように、 $p-Si$ 膜2a上に新たに膜厚約200Åの $a-Si$ 膜6をCVD法により形成する。次に、レーザ光を照射して $a-Si$ 膜6から $p-Si$ 膜を固相成長させるとともに、表面を平坦化する。これにより、図3(b)に示すように、ガラス基板1上に全体として素子形成層としての $p-Si$ 膜7が形成される。

【0019】図4(c)は深さ方向のNiの濃度分布を示す図である。横軸と縦軸は図4(a)と同じになっている。図3(b)の $p-Si$ 膜7内のNiは平均して凡そ $1 \times 10^{18} cm^{-3}$ 以下の濃度に維持されている。図6(c)は $p-Si$ 膜7表面の凹凸を観察した結果を示す結晶表面の写真であり、平坦になっていることが分かる。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。

【0020】以上のように、第1の実施の形態によれば、固相成長温度を低下させ、かつ成長速度の向上を図るため、 $a-Si$ 膜2中に故意に高濃度(濃度 $1 \times 10^{19} cm^{-3}$ 以上)のNiをドーピングさせた場合、さらに多量の不純物が結晶粒界4等の結晶欠陥に集積することにな

10

20

30

40

50

るが、選択エッチングにより結晶欠陥をエッチングすることで、p-Si膜2a中からNiが除去される。

【0021】これにより、p-Si膜7に形成されたトランジスタ等のリーク電流を低減することができる。また、結晶欠陥のエッチング後にa-Si膜6を被覆し、レーザアニールすることにより、エッチング跡の凹部を埋めて表面を平坦化することができる。これにより、p-Si膜7へのトランジスタ等の素子形成が容易になる。

【0022】なお、図1のフローチャートの①で示す固相成長方法も可能である。即ち、結晶欠陥の選択エッチング後にa-Si膜6を形成しないで、p-Si膜2aを直接レーザアニール等で加熱してもよい。これにより、p-Si膜2aの結晶粒径がさらに増し、かつ表面を平坦化することができる。

(2) 本発明の第2の実施の形態

図7は、第2の形態に係る結晶成長方法の工程順序を示すフローチャートである。また、図8(a)~(d)、図9(a)、(b)は第2の形態に係る結晶成長方法を示す断面図であり、図7のフローチャートの③の場合を示している。第1の形態と異なるところは、p-Si膜を固相成長させる工程の後であって結晶欠陥を選択的にエッチングする工程の前に、レーザ光の照射によりp-Si膜を加熱し、該p-Si膜の結晶粒径を大きくする工程を含んでいることである。

【0023】まず、図8(a)に示すガラス基板11上に、膜厚約50nmのa-Si膜12をCVD法により形成した後、酢酸ニッケルの水溶液を塗布して乾燥させ、不図示のニッケル膜(Ni膜)13を形成する(図8(b))。次いで、温度550℃、4時間の加熱処理を行い、a-Si膜12中にNiを拡散するとともに、固相成長させると、結晶粒14aを有するp-Si膜12aが形成される。このとき、a-Si膜12a中にNiを拡散しているので、p-Si膜12a中ではNiが結晶粒界15aに集積し、さらにSiと反応してシリサイドが形成される。図8(c)に、Ni膜13を除去した後の状態を示す。

【0024】図8(c)のNi状態のTEM写真を図11に示す。図の左側の部分がNiシリサイドを示す。また、図10(a)は図4(a)~(c)と同様にして取得した深さ方向のNiの濃度分布を示す図である。横軸に線形目盛りで表した深さ(nm)を示し、縦軸に対数目盛りで表したp-Si膜12a内のニッケル濃度(cm^{-3})を示す。平均して凡そ $1 \times 10^{19} \text{cm}^{-3}$ の濃度のNiが含まれる。更に、図12(a)はp-Si膜12a表面の凹凸を観察した結果を示す結晶表面の写真である。写真では突起が観察されたが、突起の高さは凡そ数nmである。

【0025】次に、図8(d)に示すように、p-Si膜12aにレーザアニールを施す。これにより、結晶粒

14aはさらに固相成長し、粒径が大きな結晶粒14bとなる。次いで、図9(a)に示すように、セッコエッチを行い、結晶粒界15bを含む結晶欠陥を選択的にエッチングする。このとき同時に、結晶粒界15bに集積していたNiも除去される。また、図10(b)は深さ方向のNiの濃度分布を示す図である。横軸と縦軸は図10(a)と同じである。p-Si膜12a内のNiは表面に近い方から減少してきており、凡そ $1 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ に分布している。

【0026】次に、図9(b)に示すように、レーザ光を照射してp-Si膜12bをさらに固相成長させるとともに、表面を平坦化する。これにより、ガラス基板11上に全体として素子形成層としてのp-Si膜12cが形成される。図10(c)は深さ方向のNiの濃度分布を示す図である。横軸と縦軸は図10(a)と同じである。p-Si膜12c内のNiは凡そ $1 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ に維持されている。図12(b)はp-Si膜12c表面の凹凸を観察した結果を示す結晶表面の写真であり、突起は別にして平坦になっていることが分かる。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。

【0027】なお、p-Si膜12cにトランジスタ等の素子を形成する場合、突起を研磨(CMD)により除去してもよいし、突起は小さいので除去しなくても素子形成の障害にならないと考えられる。以上のように、第2の実施の形態によれば、固相成長温度を低下させ、かつ成長速度の向上を図るため、a-Si膜12中に故意に高濃度(濃度 $1 \times 10^{17} \text{cm}^{-3}$ 以上)のNiをドーブさせた場合、さらに多量の不純物が結晶粒界等の結晶欠陥15bに集積することになるが、選択エッチングにより結晶欠陥15bをエッチングすることで、p-Si膜12b中からNiが除去される。これにより、p-Si膜12cに形成されたトランジスタ等のリーク電流を低減することができる。

【0028】また、p-Si膜12bを固相成長させる工程の後であって結晶欠陥を選択的にエッチングする工程の前に、レーザ光の照射によりp-Si膜12aを加熱し、該p-Si膜12aの結晶粒径を大きくする工程を含んでいるため、p-Si膜12bの結晶性がさらに向上する。これにより、p-Si膜12cに形成されたトランジスタ等のキャリアの移動度を大きくして抵抗の低減やオン電流の増加が可能となる。

【0029】更に、結晶欠陥のエッチング後にレーザアニールしてさらに固相成長させているため、結晶粒径を一層大きくし、かつ表面を平坦化することができる。これにより、p-Si膜17へのトランジスタ等の素子形成が容易になる。なお、図7のフローチャートの④で示す固相成長方法も可能である。即ち、結晶欠陥の選択エッチング後にa-Si膜を形成して、レーザアニール等で加熱してもよい。これにより、表面を一層平坦化する

ことができる。

【0030】(3) 本発明の第3及び第4の実施の形態図13(a)~(d)は、第3の形態に係る結晶成長方法を示す断面図である。上記第1及び第2の形態と異なるところは、不純物捕獲層を設けていることである。まず、図13(a)に示すように、ガラス基板21上に膜厚約200nmのシリコン酸化膜22を形成する。さらに、膜厚約20nmのa-Si膜を形成した後、例えば、220mJ、330mJのエネルギーの2段階でa-Si膜にレーザー光を照射してアニールし、結晶粒径約10nmのp-Si膜(不純物捕獲層)23を形成する。なお、レーザー光の照射時、温度は1410℃程度になるが、必要なレーザー光のエネルギーはレーザー照射装置により異なる。

【0031】次いで、図13(b)に示すように、p-Si膜23上に膜厚約50nmのa-Si膜24とNi膜25とを順に形成した後、図13(c)に示すように、温度550℃、4時間の加熱処理を行い、a-Si膜24にNiを拡散させるとともにp-Si膜24aを固相成長させる。次に、図13(c)に示すように、Ni膜25を除去した後、レーザーアニールを加えることにより、さらに固相成長させて、結晶粒径を大きくする。これにより、素子形成層としてのp-Si膜24bが作成される。このとき、加熱によりNiは移動し、p-Si膜23に捕獲される。

【0032】図14(a)はp-Si膜(不純物捕獲層)23及びp-Si膜24b内のNiの濃度分布を調査した結果について示す。横軸は線形目盛りで表した深さ(nm)を示し、縦軸は対数目盛りで表したNi濃度(cm^{-3})を示す。なお、比較のため、p-Si膜(不純物捕獲層)23を有しない試料についても同じ実験を行い、p-Si膜24b内のNiの濃度分布を調査した。調査結果を図14(b)に示す。

【0033】調査結果によれば、多量のNiがp-Si膜(不純物捕獲層)23中に捕獲されており、その分だけp-Si膜24b内のNi濃度が低下している。比較例と比べて効果が著しい。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。以上のように、第3の形態によれば、a-Si膜24の下に形成したp-Si膜(不純物捕獲層)23に、a-Si膜24を固相成長させて形成したp-Si膜24a中のNiを加熱により移動させて捕獲している。これにより、p-Si膜24a中からNiが除かれる。これにより、p-Si膜24bに形成されたトランジスタ等のリーク電流を低減することができる。

【0034】また、p-Si膜24aを固相成長させた後、レーザー光の照射によりp-Si膜24aを加熱しているため、p-Si膜24bの結晶粒径を大きくして、p-Si膜24bの結晶性を向上させることができる。これにより、p-Si膜24bに形成されたトランジスタ等のキャリアの移動度を大きくして抵抗を低減し、かつオン電流を増加させることができる。

【0035】なお、上記では、不純物捕獲層として、p-Si膜24a又は24bに対して異なる結晶欠陥の密度、分布又は大きさを有するp-Si膜23を用いているが、第4の形態として、図15に示すように、p-Si膜24a又は24bに対して異なる格子定数を有する半導体層、例えばSiGe膜26を用いることも可能である。

【0036】この場合も、p-Si膜24b中のNi濃度分布は、上記第3の形態と同様、図16(a)に示すようになる。即ち、SiGe膜26にNiが捕獲され、p-Si膜24b中のNi濃度を低減させることができる。なお、図16(b)はSiGe膜26を有しない試料についての実験結果である。

(4) 本発明の第5の実施の形態

図17(a)~(d)は、第5の形態に係る結晶成長方法を示す断面図である。上記第3及び第4の形態と異なるところは、固相成長させたNiを含有するp-Si膜28上に不純物捕獲層としてリンを含有するp-Si膜29を形成していることである。

【0037】まず、図17(a)に示すように、ガラス基板21上にシリコン酸化膜22を形成する。続いて、上記と同様にa-Si膜にNi(不純物)をドーピングさせて固相成長させてp-Si膜28を形成する。このときのp-Si膜28中のNi濃度分布を図18(a)に示す。次いで、図17(b)に示すように、p-Si膜28上に濃度約 $1 \times 10^{19} \text{ cm}^{-3}$ のリンを含有させたp-Si膜(不純物捕獲層)29をCVD法により形成する。

【0038】次に、図17(c)に示すように、レーザーアニールを加えて加熱することにより、p-Si膜28内のNiをp-Si膜29内に移動させてp-Si膜29に捕獲させるとともに、p-Si膜28aの結晶粒径を大きく成長させる。次いで、図17(d)に示すように、p-Si膜29を除去すると、素子形成層の作成が完了する。このときのp-Si膜28a中のNi濃度分布を図18(b)に示す。即ち、p-Si膜28aの表面からNiが減少している。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。

【0039】上記第5の形態によれば、p-Si膜28上にp-Si膜(不純物捕獲層)29形成した後、加熱によりp-Si膜28a内のNiをp-Si膜29内に移動させてp-Si膜29に捕獲させているので、p-Si膜28a内のNiを低減させることができる。これにより、p-Si膜28aにトランジスタ等を形成した場合、トランジスタのリーク電流を低減させ、かつ性能を向上させることができる。

【0040】また、p-Si膜29にNiを捕獲した後、p-Si膜29を除去することで、後に加熱処理を

10

20

30

40

50

加えた場合でも、p-Si膜28a中に再びNiが戻るのを防止することができる。更に、固相成長の後、さらにレーザアニールを加えてさらに固相成長を行い、結晶粒径を大きくしているので、p-Si膜28a中のキャリアの移動度を大きくし、p-Si膜28aに形成されたトランジスタの性能を向上させることができる。

【0041】また、不純物捕獲層29として非常に小さい結晶性のp-Si又は格子定数の異なる半導体、例えばSiGeを用いてもよい。

(5) 本発明の第6の実施の形態

図19(a)～(e)は、第6の形態に係る結晶成長方法を示す断面図である。上記第5の形態と異なるところは、固相成長させたNiを含有するp-Si膜30を部分的にエッチングして素子形成領域となる複数のp-Si膜30aにエアアイソレーションした後、p-Si膜30aの間に不純物捕獲層としてリンを含有するp-Si膜32を埋め込み、そこにNiを捕獲していることである。

【0042】まず、図19(a)に示すように、ガラス基板21上にシリコン酸化膜22を形成する。続いて、上記と同様にしてa-Si膜にNi(不純物)をドーブさせて固相成長させてp-Si膜30を形成する。このときのp-Si膜30中のNi濃度分布を図20(a)に示す。次いで、図19(b)に示すように、p-Si膜30上の素子形成層を形成すべき領域にレジストマスク31を形成した後、レジストマスク31により選択的にp-Si膜30をエッチングし、除去する。これにより、シリコン酸化膜22上に素子形成層30aが残る。

【0043】次に、図19(c)に示すように、レジストマスク31をそのまま残し、上から濃度約 1×10^{20} cmのリンを含有させたp-Si膜(不純物捕獲層)32をCVD法により形成する。素子形成層30aの間にはp-Si膜32が埋め込まれる。次いで、レジストマスク31を除去して、リフトオフにより、素子形成層30aの間に埋め込まれたp-Si膜32を残す。

【0044】次に、図19(d)に示すように、素子形成層30a及びp-Si膜32表面からレーザ光を照射して加熱することにより、p-Si膜30a内のNiをp-Si膜32内に移動させてp-Si膜32に捕獲させるとともに、p-Si膜30bの結晶粒径を大きく成長させる。次いで、図19(e)に示すように、エッチングレート差を利用してp-Si膜32を除去すると、素子形成層30bの作成が完了する。このときのp-Si膜30b中のNi濃度分布を図20(b)に示す。即ち、p-Si膜30b内のNi濃度が減少し、 2×10^{17} cm⁻³になった。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。

【0045】上記第6の形態によれば、素子形成領域となる複数のp-Si膜30aにエアアイソレーションした後、p-Si膜30aの間に不純物捕獲層としてリン

を含有するp-Si膜32を埋め込み、そこにNiを捕獲しているため、p-Si膜30b内のNiを低減させることができる。これにより、p-Si膜30bにトランジスタ等を形成した場合、トランジスタのリーク電流を低減させ、かつ性能を向上させることができる。

【0046】また、p-Si膜32にNiを捕獲した後、p-Si膜32を除去することで、後に加熱処理を加えた場合でも、p-Si膜30b中に再びNiが戻るのを防止することができる。更に、固相成長の後、さらにレーザアニールを加えてさらに固相成長を行い、結晶粒径を大きくしているので、p-Si膜30b中のキャリアの移動度を大きくし、p-Si膜30bに形成されたトランジスタの性能を向上させることができる。

【0047】また、不純物捕獲層32として非常に小さい結晶性のp-Si又は格子定数の異なる半導体、例えばSiGeを用いてもよい。

(6) 本発明の第7の実施の形態

図21(a)～(d)は、第7の形態に係る結晶成長方法を示す断面図である。第7の形態の特徴は、素子形成層となるp-Si膜34の上下に不純物捕獲層を形成していることである。第7の形態では、p-Si膜34の下にSiGe膜33を、p-Si膜34の上にリンを含有するp-Si膜35を形成している。

【0048】まず、図21(a)に示すように、ガラス基板21上にシリコン酸化膜22を形成する。続いて、膜厚約20nmのSiGe膜(不純物捕獲層)33と膜厚約50nmのa-Si膜とを順に形成した後、上記と同様にしてa-Si膜にNi(不純物)をドーブさせて固相成長させ、p-Si膜34を形成する。このときのp-Si膜34中のNi濃度分布を図22(a)に示す。

【0049】次いで、図21(b)に示すように、p-Si膜34上に濃度約 1×10^{20} cmのリンを含有させたp-Si膜(不純物捕獲層)35をCVD法により形成する。次に、図21(c)に示すように、レーザアニールを加えて加熱することにより、p-Si膜34内のNiをSiGe膜33内及びp-Si膜35内に移動させてSiGe膜33内及びp-Si膜35に捕獲させるとともに、p-Si膜34aの結晶粒径を大きく成長させる。

【0050】次いで、図21(d)に示すように、p-Si膜35を除去すると、素子形成層34aの作成が完了する。このときのp-Si膜34a中のNi濃度分布を図22(b)に示す。即ち、p-Si膜34aのNi濃度が減少し、 1×10^{17} cm⁻³以下になった。更に、ラマン散乱測定の結果、結晶の品質も良好であることが確認された。

【0051】上記第7の形態によれば、素子形成層となるp-Si膜34の上下に不純物捕獲層33、35を形成しているため、p-Si膜34a内のNiを低減させ

ることができる。これにより、 $p-Si$ 膜 3 4 a にトランジスタ等を形成した場合、トランジスタのリーク電流を低減させ、かつ性能を向上させることができる。また、 $p-Si$ 膜 3 5 に Ni を捕獲した後、 $p-Si$ 膜 3 3 を除去することで、後に加熱処理を加えた場合でも、 $p-Si$ 膜 3 4 a 中に再び戻る Ni 量を低減させることができる。

【0052】更に、固相成長の後、さらにレーザアニールを加えてさらに固相成長を行い、結晶粒径を大きくしているの、 $p-Si$ 膜 3 4 a 中のキャリアの移動度を大きくし、 $p-Si$ 膜 3 4 a に形成されたトランジスタの性能を向上させることができる。また、不純物捕獲層 3 3, 3 5 として非常に小さい結晶性の $p-Si$ 又は格子定数の異なる半導体、例えば $SiGe$ を用いてもよい。

【0053】なお、上記実施の形態では、 $a-Si$ 膜に故意に Ni を導入しているが、最初から $a-Si$ 膜に不純物（軽元素や金属元素）が存在する場合にも有効である。また、本発明の結晶成長方法における不純物の除去方法を、固相成長した $p-Si$ 膜に適用しているが、CVD法により成長した $p-Si$ 膜にも適用することが可能である。

【0054】

【発明の効果】以上のように、本発明によれば、アモルファスシリコン膜（ $a-Si$ 膜）を加熱し、固相成長させて形成したポリシリコン膜（ $p-Si$ 膜）中に存在する結晶欠陥を選択的にエッチングしている。 $a-Si$ 膜中に不純物（軽元素や重金属元素）が存在している場合、その不純物が固相成長の加熱時やレーザアニールの冷却時に結晶粒界等に集積する。従って、選択エッチングにより結晶欠陥をエッチングすることで、 $p-Si$ 膜中から不純物が除去され、これにより、 $p-Si$ 膜に形成されたトランジスタ等のリーク電流を低減することができる。

【0055】また、結晶欠陥のエッチング後に再び $p-Si$ 膜を加熱することにより、結晶粒径を更に大きくしてエッチング跡の凹部を平坦化することができる。又は、結晶欠陥のエッチング後に $a-Si$ 膜で被覆することにより、エッチング跡の凹部を埋めて表面を平坦化することができる。これにより、素子形成層への素子の形成が容易になる。

【0056】更に、 $p-Si$ 膜を固相成長させる工程の後に、レーザ光の照射により $p-Si$ 膜を加熱することにより、該 $p-Si$ 膜の結晶粒径を大きくして、 $p-Si$ 膜の結晶性を向上させることができる。これにより、 $p-Si$ 膜に形成されたトランジスタ等のキャリアの移動度を大きくして抵抗を低減し、かつオン電流を増加させ、応答速度の向上を図ることができる。

【0057】また、 $a-Si$ 膜の上又は下に形成した不純物捕獲層に、 $a-Si$ 膜中、又は該 $a-Si$ 膜を固相

成長させて形成した $p-Si$ 膜中の不純物を加熱により移動させて捕獲しているため、 $p-Si$ 膜中から不純物が除かれる。これにより、 $p-Si$ 膜に形成されたトランジスタ等のリーク電流を低減することができる。特に、不純物捕獲層に不純物を捕獲した後、不純物捕獲層を除去することで、後に加熱処理を加えた場合でも、 $p-Si$ 膜中に再び不純物が戻るのを防止することができる。

【図面の簡単な説明】

10 【図1】本発明の第1の実施の形態に係る結晶成長方法の工程順序について示すフローチャートである。

【図2】本発明の第1の実施の形態に係る結晶成長方法について示す断面図（その1）である。

【図3】本発明の第1の実施の形態に係る結晶成長方法について示す断面図（その2）である。

【図4】本発明の第1の実施の形態に係る結晶成長方法における素子形成層内の Ni 濃度分布を示す図である。

20 【図5】本発明の第1の実施の形態に係る結晶成長方法における $p-Si$ 膜の表面状態を示す結晶薄膜写真である。

【図6】本発明の第1の実施の形態に係る結晶成長方法における $p-Si$ 膜の表面状態を示す結晶薄膜写真である。

【図7】本発明の第2の実施の形態に係る結晶成長方法の工程順序について示すフローチャートである。

【図8】本発明の第2の実施の形態に係る結晶成長方法について示す断面図（その1）である。

【図9】本発明の第2の実施の形態に係る結晶成長方法について示す断面図（その2）である。

30 【図10】本発明の第2の実施の形態に係る結晶成長方法における素子形成層内の Ni 濃度分布を示す図である。

【図11】本発明の第2の実施の形態に係る結晶成長方法における $p-Si$ 膜の表面状態を示す結晶薄膜写真である。

【図12】本発明の第2の実施の形態に係る結晶成長方法における $p-Si$ 膜の表面状態を示す結晶薄膜写真である。

40 【図13】本発明の第3の実施の形態に係る結晶成長方法について示す断面図である。

【図14】本発明の第3の実施の形態に係る結晶成長方法における素子形成層内の Ni 濃度分布を示す図である。

【図15】本発明の第4の実施の形態に係る結晶成長方法について示す断面図である。

【図16】本発明の第4の実施の形態に係る結晶成長方法における素子形成層内の Ni 濃度分布を示す図である。

50 【図17】本発明の第5の実施の形態に係る結晶成長方法について示す断面図である。

【図 1 8】本発明の第 5 の実施の形態に係る結晶成長方法における素子形成層内の N i 濃度分布を示す図である。

【図 1 9】本発明の第 6 の実施の形態に係る結晶成長方法について示す断面図である。

【図 2 0】本発明の第 6 の実施の形態に係る結晶成長方法における素子形成層内の N i 濃度分布を示す図である。

【図 2 1】本発明の第 7 の実施の形態に係る結晶成長方法について示す断面図である。

【図 2 2】本発明の第 7 の実施の形態に係る結晶成長方法における素子形成層内の N i 濃度分布を示す図である。

【符号の説明】

1, 1 1, 2 1 ガラス基板、

2, 6, 1 2, 2 4 a-Si 膜、

2 a, 1 2 a, 1 2 b, 2 4 a, 2 4 b, 2 8, 3 0,

3 0 a, 3 4 p-Si 膜、

3, 1 3, 2 5 Ni 膜、

4, 1 4 a, 1 4 b 結晶粒、

5, 1 5 a, 1 5 b 結晶粒界、

7, 1 2 c, 2 8 a, 3 0 b, 3 4 a p-Si 膜 (素子形成層)、

2 2 シリコン酸化膜、

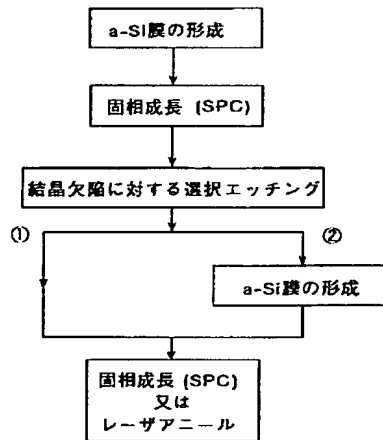
10 2 3 p-Si 膜 (不純物捕獲層)、

2 6, 3 3 SiGe 膜 (不純物捕獲層)、

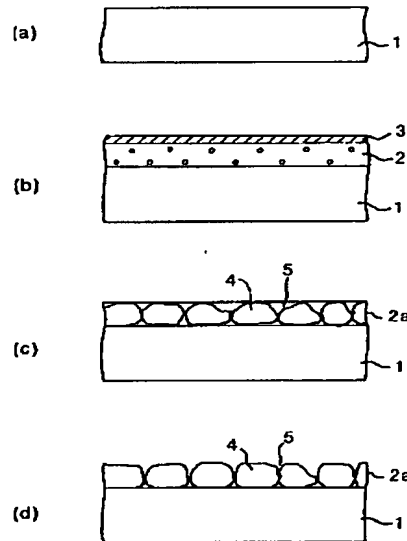
2 9, 3 2, 3 5 リンを含む p-Si 膜 (不純物捕獲層)、

3 1 レジストマスク。

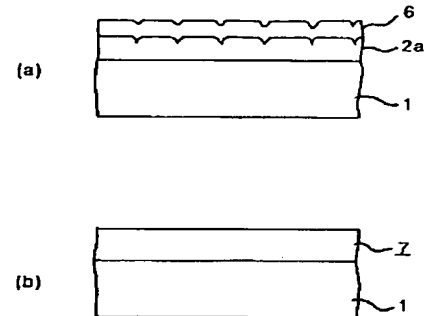
【図 1】



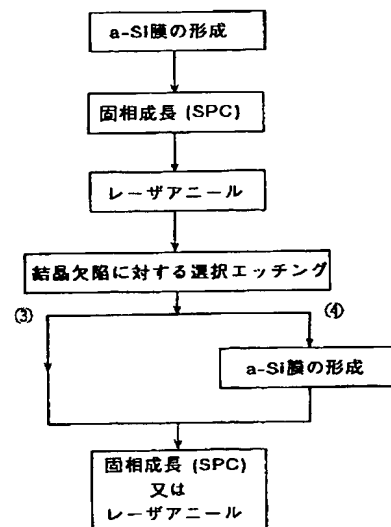
【図 2】



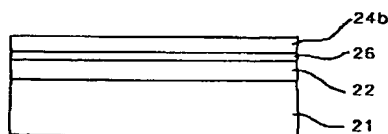
【図 3】



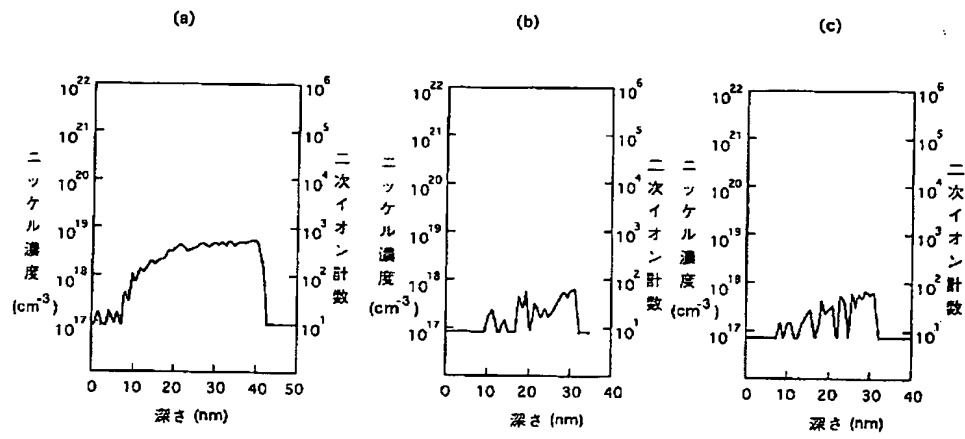
【図 7】



【図 1 5】



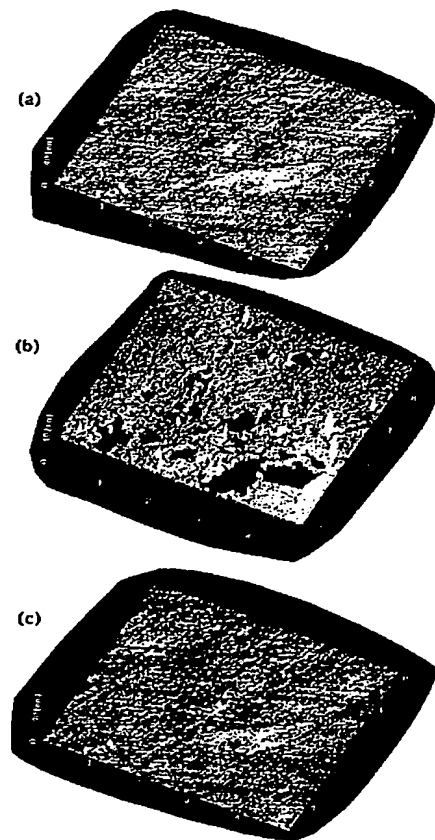
【図 4】



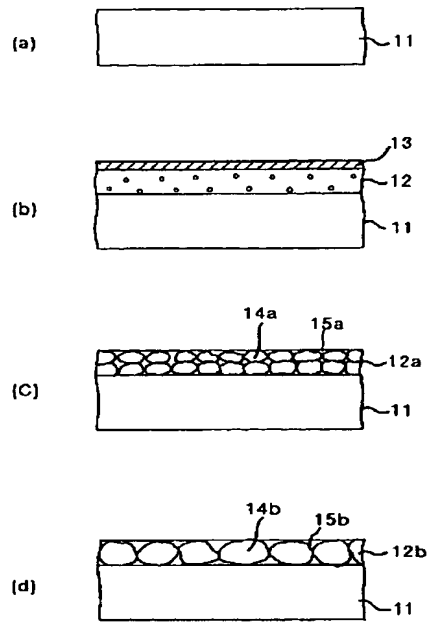
【図 5】



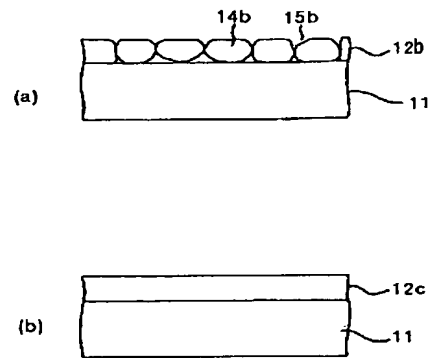
【図 6】



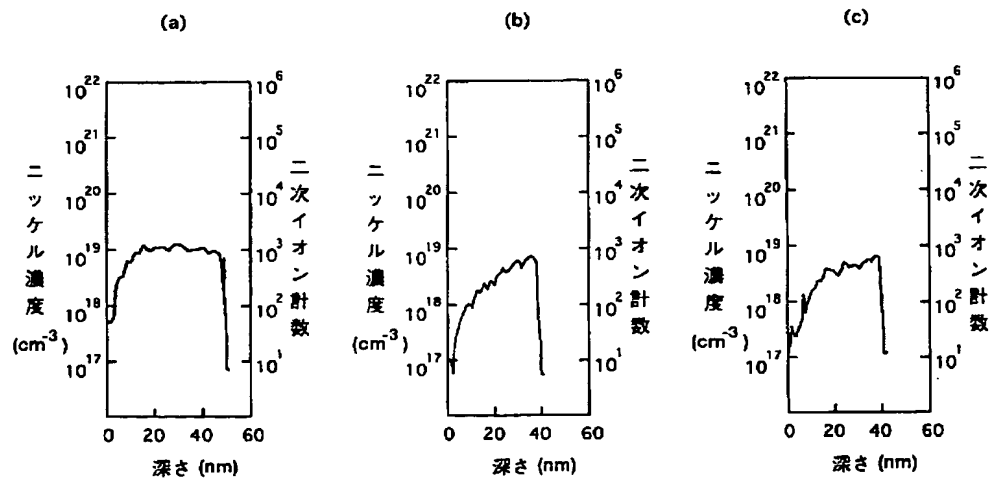
【図 8】



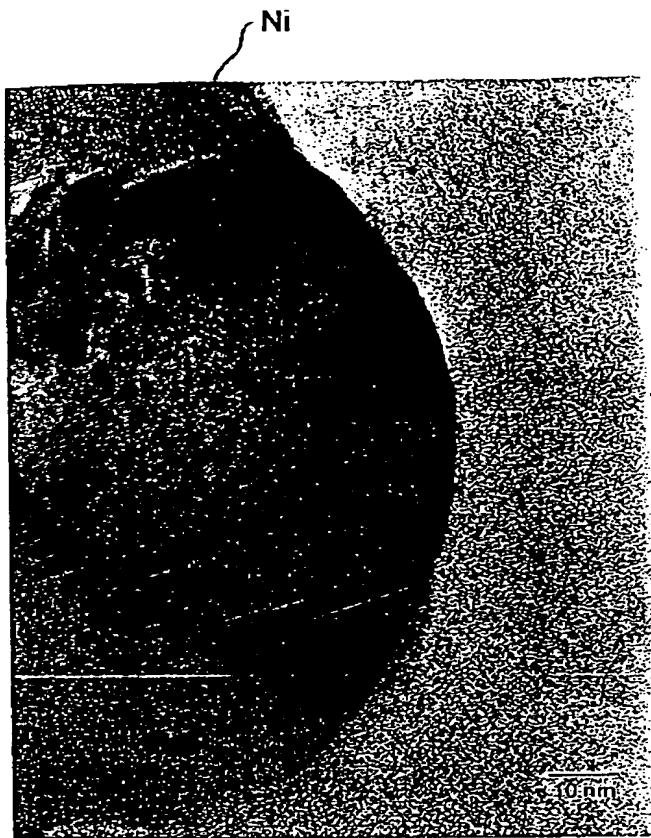
【図 9】



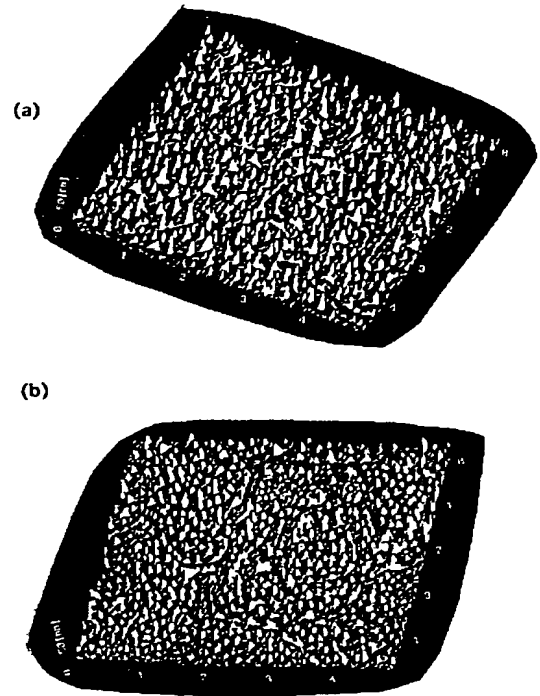
【図 10】



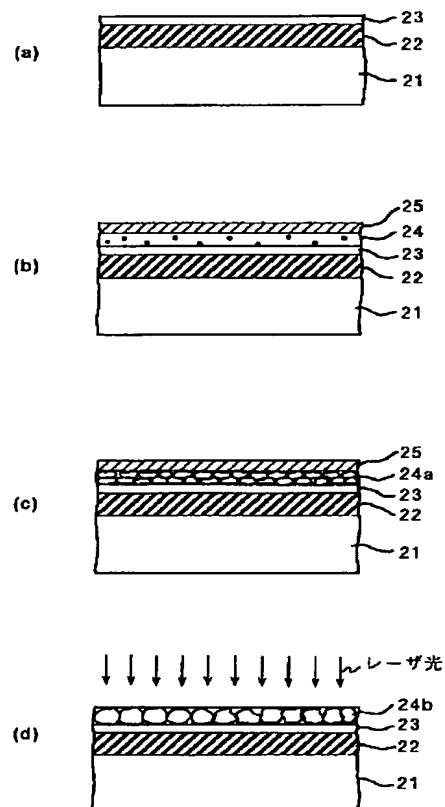
【図 1 1】



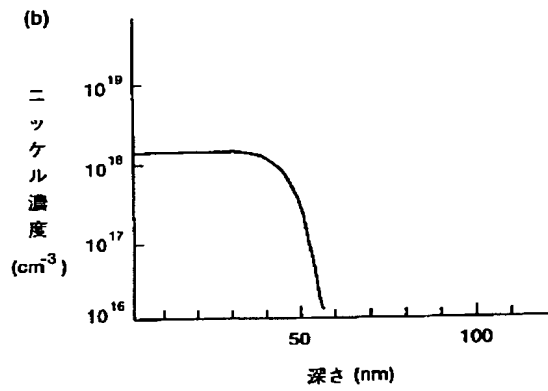
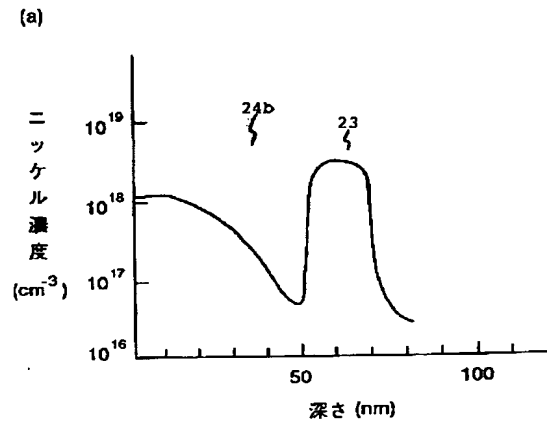
【図 1 2】



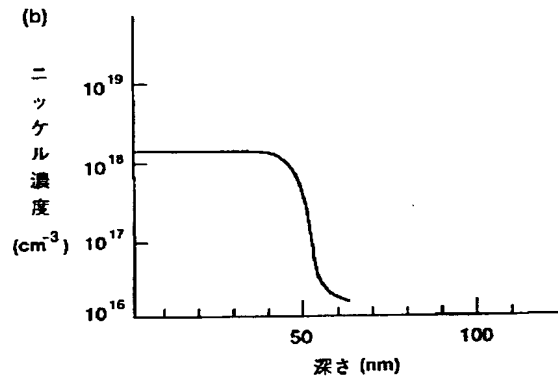
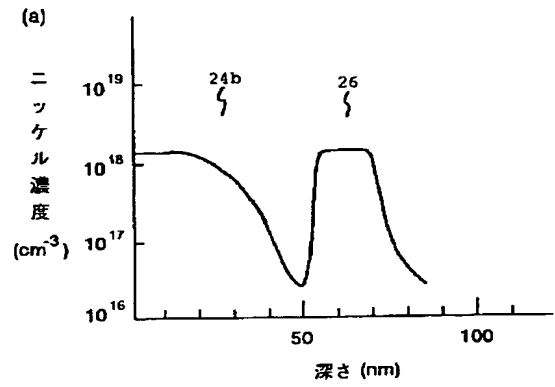
【図 1 3】



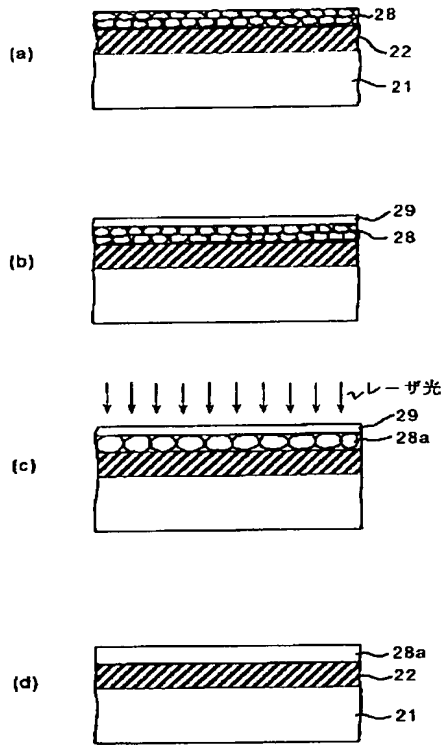
【図 1 4】



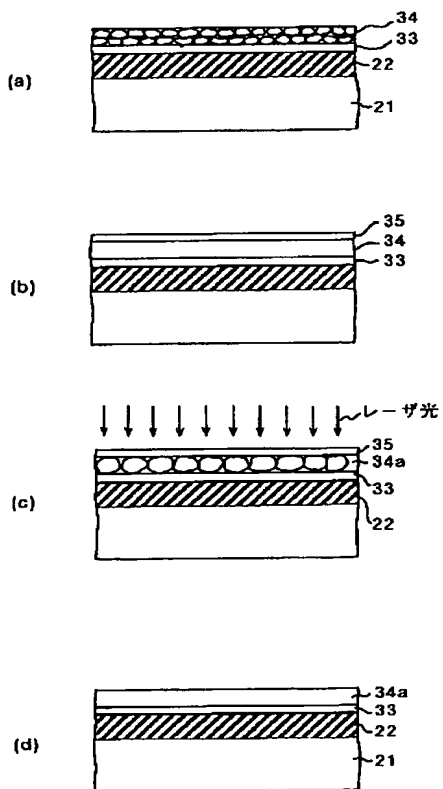
【図 1 6】



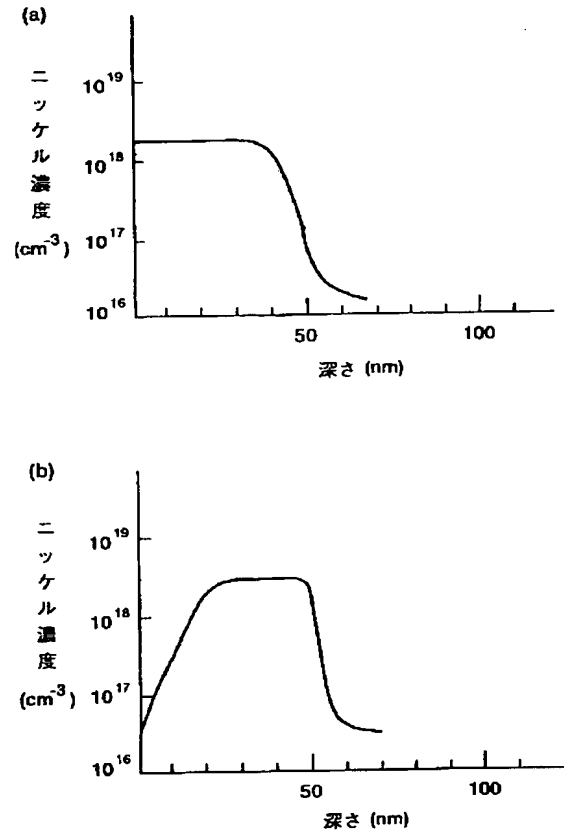
【図 17】



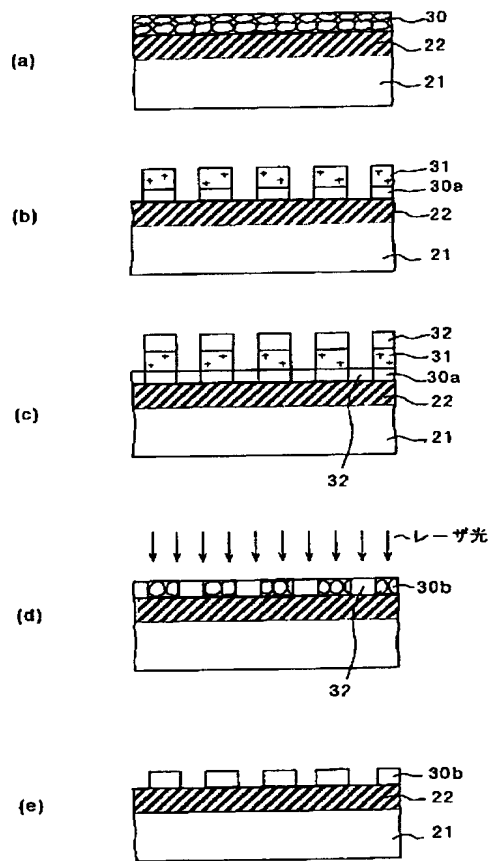
【図 21】



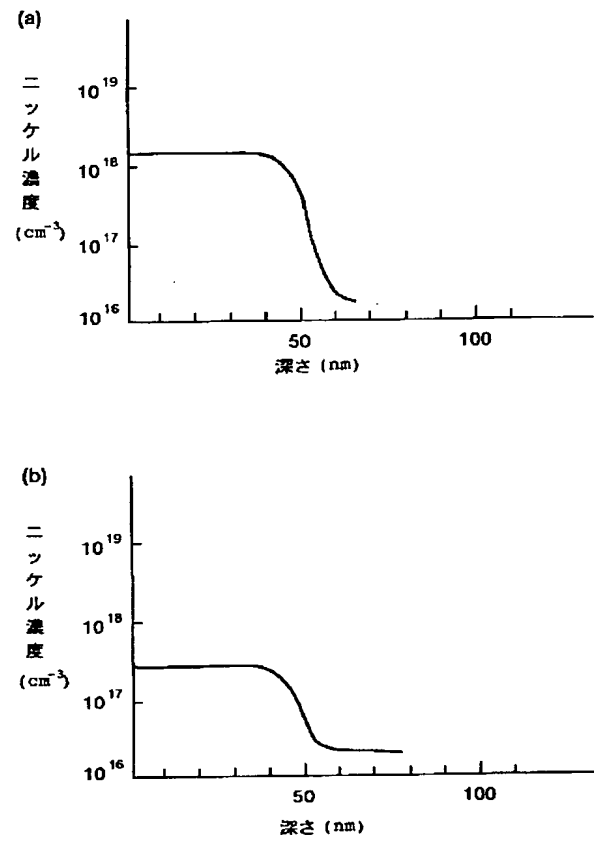
【図 18】



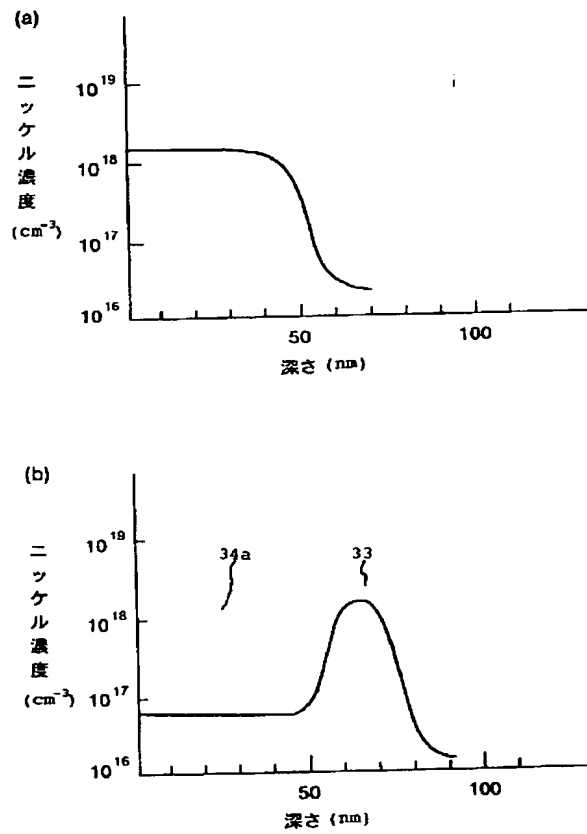
【図 19】



【図 20】



【図 2 2】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所